

CLIPPEDIMAGE= JP401251734A  
PAT-NO: JP401251734A  
DOCUMENT-IDENTIFIER: JP 01251734 A  
TITLE: SEMICONDUCTOR MANUFACTURING APPARATUS

PUBN-DATE: October 6, 1989

INVENTOR-INFORMATION:

NAME

KIRIYAMA, KENJI  
KAWAJI, TOSHIYUKI  
HORIUCHI, TAKASHI

ASSIGNEE-INFORMATION:

NAME

TERU BARIAN KK

COUNTRY

N/A

APPL-NO: JP63079061

APPL-DATE: March 31, 1988

INT-CL\_(IPC): H01L021/68

ABSTRACT:

PURPOSE: To enhance the wafer conveyance efficiency and the treatment capacity of an apparatus as a whole by a method wherein a wafer housing mechanism used to temporarily keep a semiconductor wafer is installed between a first wafer conveyance mechanism and a second wafer conveyance mechanism.

CONSTITUTION: Load-lock chambers 3 are arranged and installed individually on both sides by sandwiching a wafer conveyance chamber 1 in the central part of a multi-chamber type CVD apparatus on one side of the conveyance chamber. A conveyance mechanism 6 on the side of the load-lock chambers is installed inside the conveyance chamber 1; a semiconductor wafer 5 is conveyed between wafer carriers 2 inside the individual load-lock chambers 3 and the conveyance chamber 1. A conveyance mechanism 7 on the side of a treatment chamber conveys the semiconductor wafer 1 conveyed to the conveyance chamber 1 to individual treatment chambers, e.g., prescribed treatment chambers 4a, 4b, 4c. A buffer

shelf 3 is installed between these conveyance mechanism 6, 7; the semiconductor wafer 5 which has been conveyed by using both conveyance mechanisms 6, 7 is housed temporarily. By this setup, the standby time of a wafer conveyance system due to a difference in the treatment capacity of the individual wafer conveyance mechanisms 6, 7 can be eliminated.

COPYRIGHT: (C)1989, JPO&Japio

DERWENT-ACC-NO: 1989-336565  
DERWENT-WEEK: 198946  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor mfr. for multichamber CVD device - by  
setting temporary  
accommodation between carrier system of processing chamber and  
that of load  
lock chamber NoAbstract Dwg 1/2

PATENT-ASSIGNEE: TEL VARIAN KK[TKEL]

PRIORITY-DATA: 1988JP-0079061 (March 31, 1988)

PATENT-FAMILY:

PUB-NC	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 01251734 A	October 6, 1989	N/A
N/A		002

INT-CL\_(IPC): H01L021/68  
ABSTRACTED-PUB-NO:  
EQUIVALENT-ABSTRACTS:

TITLE-TERMS:  
SEMICONDUCTOR MANUFACTURE MULTICHAMBER CVD DEVICE SET TEMPORARY  
ACCOMMODATE  
CARRY SYSTEM PROCESS CHAMBER LOAD LOCK CHAMBER NOABSTRACT

DERWENT-CLASS: L03 U11

CPI-CCDES: L04-C01B;

EPI-CCDES: U11-C09B; U11-F02A2;

## ⑫ 公開特許公報(A)

平1-251734

⑬ Int. Cl.<sup>4</sup>  
H 01 L 21/68識別記号 庁内整理番号  
A-7454-5F

⑭ 公開 平成1年(1989)10月6日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体製造装置

⑯ 特 願 昭63-79061

⑰ 出 願 昭63(1988)3月31日

⑱ 発 明 者 桐 山 建 二 山梨県韮崎市藤井町北下条2381番地の1 テル・バリアン株式会社内

⑱ 発 明 者 河 治 利 幸 山梨県韮崎市藤井町北下条2381番地の1 テル・バリアン株式会社内

⑱ 発 明 者 堀 内 孝 山梨県韮崎市藤井町北下条2381番地の1 テル・バリアン株式会社内

⑲ 出 願 人 テル・バリアン株式会 山梨県韮崎市藤井町北下条2381番地の1 社

⑳ 代 理 人 弁理士 須山 佐一

## 明 細 書

## 1. 発明の名称

半導体製造装置

## 2. 特許請求の範囲

ウエハキャリアに収容された半導体ウエハを取出す第1のウエハ搬送機構と、前記第1のウエハ搬送機構により搬送された半導体ウエハを処理室内に搬送する第2のウエハ搬送機構とを備えた半導体製造装置において、

前記第1のウエハ搬送機構と、第2のウエハ搬送機構間には、これら両ウエハ搬送機構により搬送された半導体ウエハを一時保管するための複数枚のウエハ収容機構を設けたことを特徴とする半導体製造装置。

## 3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、半導体製造装置に関する。

(従来の技術)

近年の半導体製造工程で使用する半導体の製

造装置例えばCVD装置等では、多品種・少量生産化に対応するために、各半導体ウエハ毎に生産管理が可能な枚葉処理方式の製造装置が普及しており、このような枚葉処理方式の半導体製造装置では、予備真空室となるロードロック室にウエハキャリアを収容し、このウエハキャリアから所定の半導体ウエハを搬送装置により取出して、所定の処理室へと搬送するような構成となっている。

このような半導体製造装置の搬送装置は、ロードロック室から半導体ウエハを取出して装置内に搬送するロードロック室側搬送系と、このロードロック室側搬送系により搬送された半導体ウエハを移載して所定の処理室までこれを搬送する処理室側搬送系とから構成されており、処理室側搬送系により所望の処理室へと半導体ウエハを搬送して一連の処理が可能となっている。

(発明が解決しようとする課題)

しかしながら、上述した従来の半導体製造装置では、ロードロック室側の搬送系と処理室側の搬送系に処理能力差がある場合には、全体の搬送

処理能力が処理能力の低い搬送系の処理能力となり、さらに処理能力の低い搬送系に待ち時間を生じた時等、装置全体の処理能力を低下させる原因となっていた。

例えば、処理室側搬送系が半導体ウェハを各処理室に搬送している間は、ロードロック室側の搬送系は、次処理の半導体ウェハを保持したまま処理室側搬送系への移送場所で待機していなければならず、逆に処理室側搬送系の処理が早い場合には、ロードロック室側搬送系が次処理の半導体ウェハを移送場所まで搬送するまで待機しなければならない。

本発明は、上述した従来の問題点を解決するためになされたもので、処理室側搬送系とロードロック室側搬送系間に半導体ウェハの一時収容機構を設けることで、各搬送系の待機時間がなくなり、ウェハ搬送効率を向上させ、装置全体の処理能力が向上する半導体の製造装置に関する。

#### [発明の構成]

(課題を解決するための手段)

中央部に配設されたウェハ搬送室1の一方には、これを挟んで両側に夫々ウェハキャリア2を収容するロードロック室3が配設されており、また、ウェハ搬送室1の他方には、ウェハ搬送室1を中心としてほぼ90°の角度間隔をおいて3つのチャンバ4a、4b、4cが同心円上に配設されている。

ウェハ搬送室1内には、各ロードロック室3内のウェハキャリア2とウェハ搬送室1間で、半導体ウェハ5の搬送を行うためのロードロック室側搬送機構6と、このロードロック室側搬送機構6により搬送室1に搬送された半導体ウェハ5を各処理室4a、4b、4cの所定の処理室へと搬送するための処理室側搬送機構7、そして、これら両搬送機構6、7の間に設けられ、両搬送機構6、7により搬送された半導体ウェハ5を一時収容するためのバッファ棚8が設けられている。

このようなCVD装置における半導体ウェハの処理は、まず、ロードロック室側搬送機構6のウェハ保持部例えば搬送アーム6a等により、ウェ

ハキャリア2から所定の半導体ウェハ5を取出し、これを搬送室1内のバッファ棚8へ移送する。そして、処理室側搬送機構7のウェハ保持部例えば搬送アーム7aにより、このバッファ棚8から所定の半導体ウェハ5を取出し、所定のチャンバへと搬送し、一連の処理を行う。処理終了後の半導体ウェハ5は、上記動作と逆の動作で搬送して所定のウェハキャリアへ収容する。

#### (作用)

第1のウェハ搬送機構と、第2のウェハ搬送機構間に、半導体ウェハを一時保管するためのウェハ収容機構を設けることで、両ウェハ搬送機構の待機時間がなくなり、ウェハ搬送効率が向上し、装置全体の処理能力を向上させることができる。

#### (実施例)

以下、本発明をマルチチャンバ型CVD装置に適用した一実施例について図を参照して説明する。

ところで、バッファ棚8は、多数の半導体ウェハを収容できるように、例えば第2図に示すように、多段式の棚とし、各棚(以下、スロット)8aに夫々半導体ウェハ5を収容するように構成されている。

このバッファ棚8は、昇降台8上に搭載されており、この昇降台9を駆動させて所定のスロット8aをウェハ搬送機構6、7の搬送アーム6a、7aと同レベルの高さにし、半導体ウェハ5の移送を行う。

また、バッファ棚8の昇降路に沿って、例えばフォトセンサ等のスロット位置検出機構10がバ

ッファ棚8の昇降路を水平に横切るように対向して配設されており、このスロット位置検出機構10により何段目のスロットが半導体ウエハの移送を行ったかを知ることができ、該位置情報をこのときの半導体ウエハの品種情報とともに装置制御部11の記憶機構12に記憶させておくことで、バッファ棚8の各スロットに収容された半導体ウエハの収容管理を行うことができる。そして、この記憶情報に基づいて搬送系制御機構13が各ウエハ搬送系6、7の動作を制御することで、バッファ棚8と各ウエハ搬送系6、7間のウエハ移送動作を予め定められたプログラムに基づいて行うことができる。

このように、各ウエハ搬送機構6、7間にバッファ棚8を設け、このバッファ棚8に半導体ウエハを一時収容する構成とすることで、各ウエハ搬送機構6、7の処理能力の差により生じるウエハ搬送系の待機時間がなくなり、装置全体の処理能力が向上する。

ところで上述実施例では、バッファ棚8の設置

6、7……ウエハ搬送機構、8……バッファ棚、  
9……昇降台、10……スロット位置検出機構、  
11……装置制御部、12……記憶機構。

出願人 テル・パリアン株式会社  
代理人 弁理士 須山 佐一

数を1つとしたが、特に設置数に限定されるものではなく、例えば、未処理の半導体ウエハを収容するバッファ棚と処理済の半導体ウエハを収容するバッファ棚とを別々に設ければ、各ウエハ搬送系の待機時間をさらに短縮することができる。

また、バッファ棚近傍にウエハ冷却媒体を配設すれば、処理プロセス中でウエハの冷却を行うこともできる。

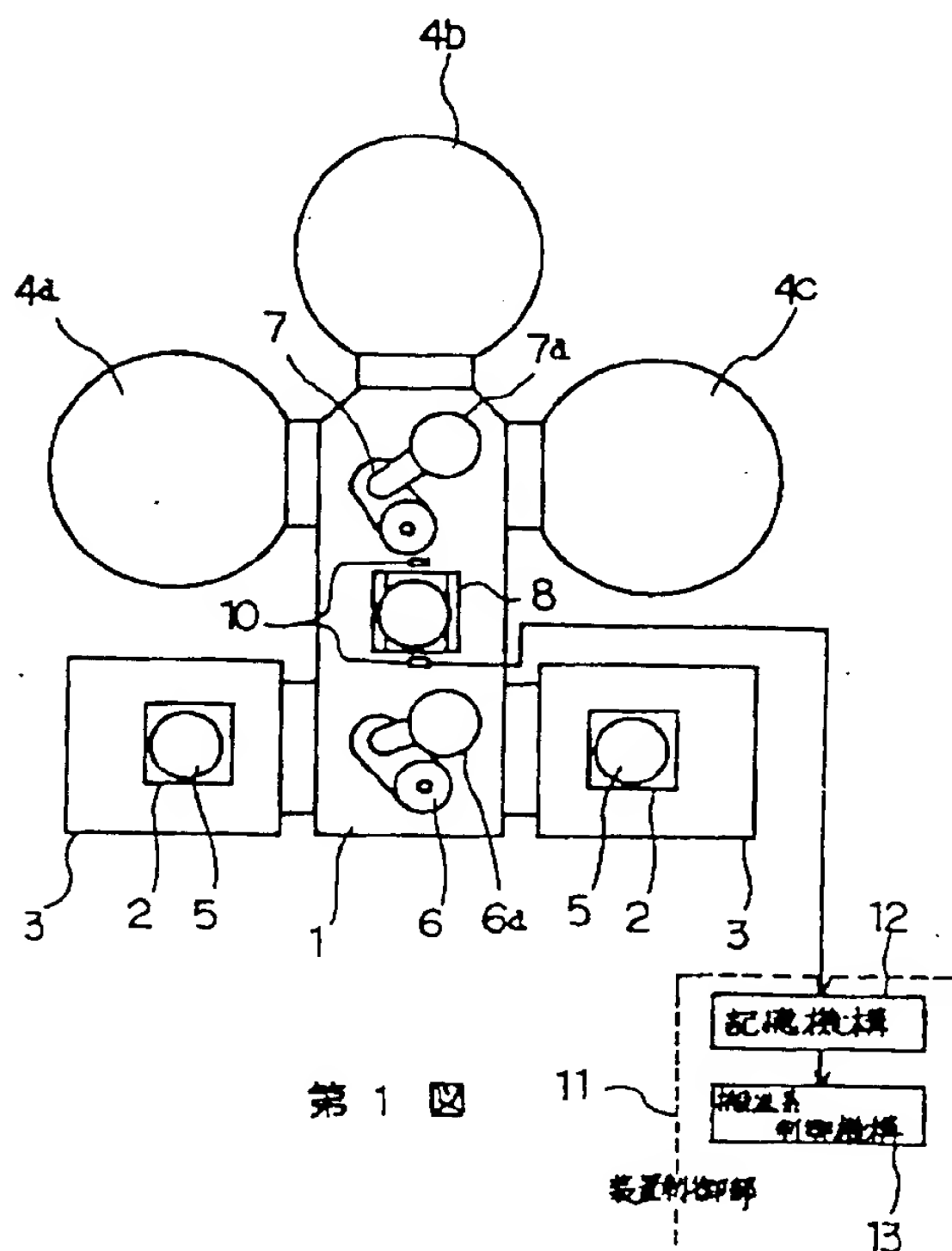
#### 【発明の効果】

以上説明したように、本発明の半導体製造装置によれば、半導体ウエハの搬送系の搬送効率が向上し、装置全体の処理能力の向上が図れる。

#### 4. 図面の簡単な説明

第1図は本発明をマルチチャンバ型CVD装置に適用した実施例の装置構成を示す図、第2図(a)は第1図のバッファ棚の構成を示す平面図であり、第2図(b)は第2図(a)の側面図である。

1……搬送室、3……ロードロック室、4a、4b、4c……チャンバ、5……半導体ウエハ、



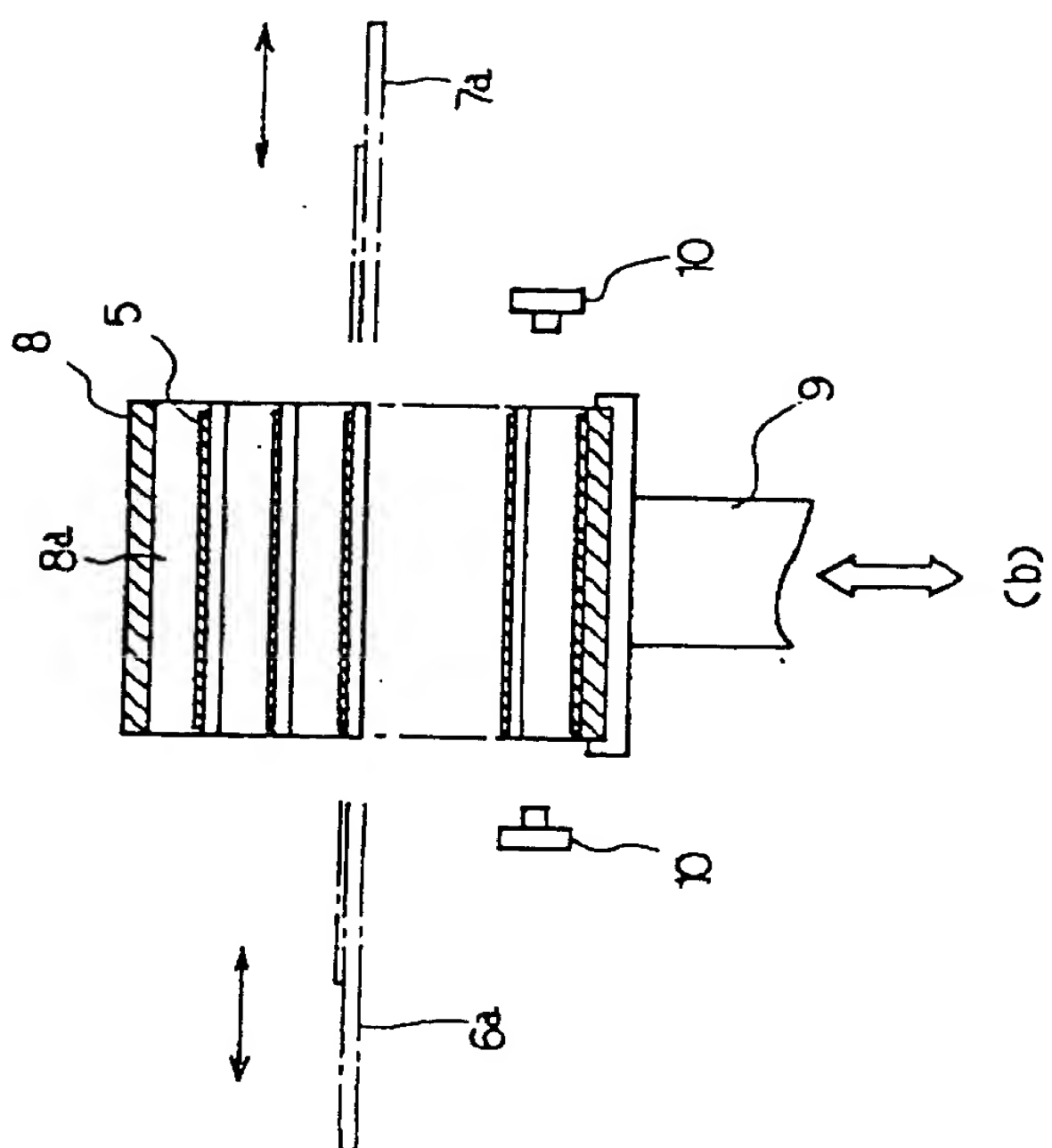
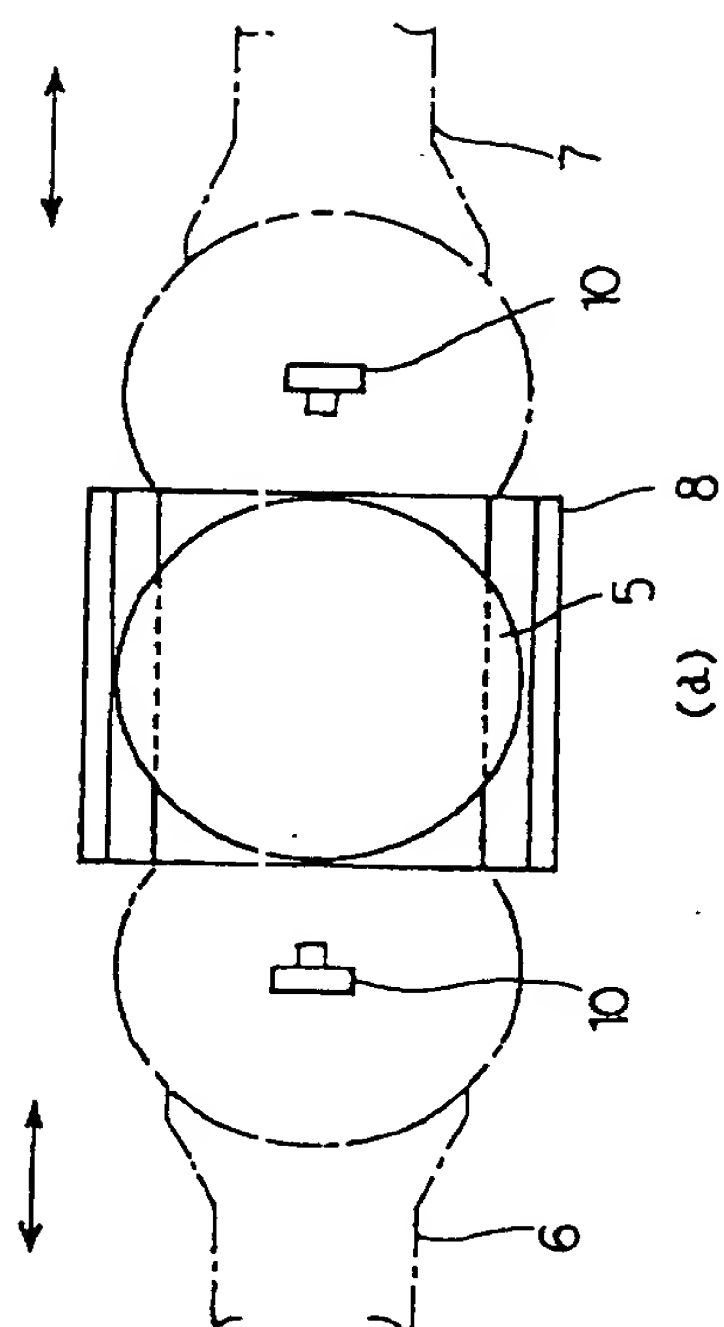


図2

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
【部門区分】第 7 部門第 2 区分  
【発行日】平成 6 年（1994）1 月 28 日

【公開番号】特開平 1-251734  
【公開日】平成 1 年（1989）10 月 6 日  
【年通号数】公開特許公報 1-2518  
【出願番号】特願昭 63-79061  
【国際特許分類第 5 版】

H01L 21/68 A 8418-4M

手 続 補 正 書（自発）

平成 5 年 4 月 2 日

特許庁長官 麻生 滋 殿

1. 事件の表示 特願昭 63-79061 号

2. 発明の名称

半導体製造装置

3. 補正をする者

事件との関係・特許出願人

テル・バリアン株式会社

4. 代理人

〒101

東京都千代田区神田多町 2 丁目 1 番地

神田東山ビル 電話 03(3254)1039

(7784)井原士 須 山 佐

5. 補正の対象

明細書の特許請求の範囲および発明の詳細な説明の各欄

6. 補正の内容

- (1) 特許請求の範囲を別紙の通り補正する。  
(2) 発明の詳細な説明を以下の通り補正する。

① 明細書の第 4 頁第 9 行の「ウエハ収容機構」を、

「複数枚の半導体ウエハを収容可能なウエハ収容機構」と補正する。

② 同第 4 頁第 10 行と第 11 行との間に以下の文章を加える。

「また、請求項 2 記載の半導体製造装置は、予備真空室となるロードロック室に複数枚の半導体ウエハを収納するウエハキャリアを収納し、前記半導体ウエハを前記ウエハキャリアから取り出す第 1 のウエハ搬送機構と、この第 1 のウエハ搬送機構により搬送された半導体ウエハを、それぞれ所定の真空処理を行う複数の真空処理室の中から所望の真空処理室内へ搬送する第 2 のウエハ搬送機構とを備えた半導体製造装置において、前記第 1 のウエハ搬送機構と、第 2 のウエハ搬送機構との間に、これら第 1 および第 2 のウエハ搬送機構により搬送された半導体ウエハを一時保管するための複数枚の半導体ウエハを収容可能なウエハ収容機構と、このウエハ収容機構に設けられ前記半導



体ウエハを冷却媒体により冷却する冷却手段とを具備したことを特徴とする。

さらに、請求項3記載の半導体製造装置は、請求項2記載の半導体製造装置において、前記ウエハ収容機構に設けられ、半導体ウエハが何段目のスロットに搬送されたかを検知するスロット位置検出機構と、このスロット位置検出機構の検出した位置情報を記憶する記憶機構と、この記憶機構の出力する位置情報に基づいて前記第1および第2のウエハ搬送機構の動作を制御する搬送系制御機構とを具備したことを特徴とする。」

③ 明細書の第4頁第16行と第17行との間に以下の文章を加入する。

「また、請求項2記載の半導体製造装置では、複数の真空処理室により、一連の真空処理を半導体ウエハに対して行う複数真空処理室型半導体製造装置において、ウエハキャリアの設けられたロードロック室側の第1のウエハ搬送機構と、複数の真空処理室側の第2のウエハ搬送機構との間に半導体ウエハを一時保管するウエハ収容機構を設け

ることで、両ウエハ搬送機構の待機時間を少なくして、ウエハ搬送効率を向上させ、装置全体の処理能力を向上させることができるとともに、ウエハ収容機構に冷却媒体によるウエハ冷却手段を設けたので、真空処理室内における半導体ウエハの処理プロセスの結果加熱されてそのままではロードロック室内のウエハキャリアに収容できない半導体ウエハも、ウエハ収容機構において待機中に冷却することで、前記両ウエハ搬送機構を遊ばせて時間をロスすることなく、ウエハキャリアに収容することができる。

さらに、請求項3記載の半導体処理装置では、前記ウエハ収容機構のスロット位置検出を行い記憶することで、この情報に基づいて前記両ウエハ搬送機構に、どのスロットに処理済みの半導体ウエハが入っており、どのスロットに未処理の半導体ウエハが入っている、または、空スロットはどこかという制御を正確に指示して半導体製造装置全体の処理能力の向上が図れる。」

④ 明細書の第8頁第12行と第13行との間に

に以下の文章を加入する。

「さらに、請求項2記載の半導体製造装置では、複数の真空処理室により、一連の真空処理を半導体ウエハに対して行う複数真空処理室型半導体製造装置において、ウエハキャリアの設けられたロードロック室側の第1のウエハ搬送機構と、複数の真空処理室側の第2のウエハ搬送機構との間に半導体ウエハを一時保管するウエハ収容機構を設けることで、両ウエハ搬送機構の待機時間を無くして、ウエハ搬送効率を向上させ、装置全体の処理能力を向上させることができるとともに、ウエハ収容機構に冷却媒体によるウエハ冷却手段を設けたので、真空処理室内における半導体ウエハの処理プロセスの結果加熱されてそのままではロードロック室内のウエハキャリアに収容できない半導体ウエハも、ウエハ収容機構において待機中に冷却することで、前記両ウエハ搬送機構を遊ばせて時間をロスすることなく、ウエハキャリアに収容することができる。

また、請求項3記載の半導体処理装置では、前

記ウエハ収容機構のスロット位置検出を行い記憶することで、この情報に基づいて前記両ウエハ搬送機構に、どのスロットに処理済みの半導体ウエハが入っており、どのスロットに未処理の半導体ウエハが入っている、または、空スロットはどこかという制御を正確に指示して半導体製造装置全体の処理能力の向上が図れる。」

(以上)

【別紙】

2. 特許請求の範囲

(1) ウエハキャリアに収容された半導体ウエハを取出す第1のウエハ搬送機構と、前記第1のウエハ搬送機構により搬送された半導体ウエハを処理室内に搬送する第2のウエハ搬送機構とを備えた半導体製造装置において、

前記第1のウエハ搬送機構と、第2のウエハ搬送機構間に、これら両ウエハ搬送機構により搬送された半導体ウエハを一時保管するための複数枚の半導体ウエハを収容可能なウエハ収容機構を設けたことを特徴とする半導体製造装置。

(2) 予備真空室となるロードロック室に複数枚の半導体ウエハを収納するウエハキャリアを収納し、前記半導体ウエハを前記ウエハキャリアから取り出す第1のウエハ搬送機構と、

この第1のウエハ搬送機構により搬送された半導体ウエハを、それぞれ所定の真空処理を行う複数の真空処理室の中から所望の真空処理室内へ搬送する第2のウエハ搬送機構とを備えた半導体製

造装置において、

前記第1のウエハ搬送機構と、第2のウエハ搬送機構との間に、これら第1および第2のウエハ搬送機構により搬送された半導体ウエハを一時保管するための複数枚の半導体ウエハを収容可能なウエハ収容機構と、

このウエハ収容機構に設けられ前記半導体ウエハを冷却媒体により冷却する冷却手段と

を具備したことを特徴とする半導体製造装置。

(3) 前記ウエハ収容機構に設けられ、半導体ウエハが何段目のスロットに載置されたかを検知するスロット位置検出機構と、

このスロット位置検出機構の検出した位置情報を記憶する記憶機構と、

この記憶機構の出力する位置情報に基づいて前記第1および第2のウエハ搬送機構の動作を制御する搬送系制御機構と

を具備したことを特徴とする請求項2記載の半導体製造装置。